

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-120454
 (43)Date of publication of application : 07.06.1986

(51)Int. CI. H01L 23/48
 H01L 25/10

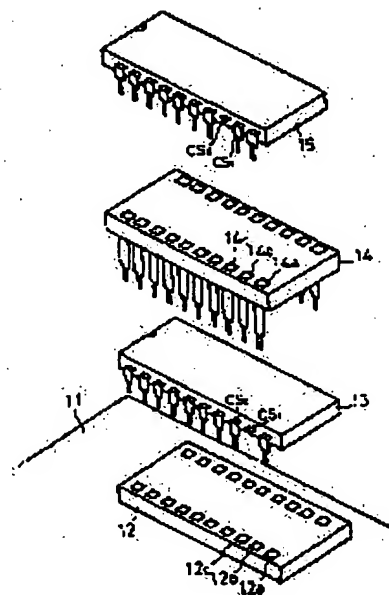
(21)Application number : 59-240525 (71)Applicant : SONY CORP
 (22)Date of filing : 16.11.1984 (72)Inventor : OKUMA AKITOSHI
 HIKETA KOUICHI

(54) PACKAGE OF INTEGRATED CIRCUIT FOR DATA MEMORY

(57)Abstract:

PURPOSE: To obtain a package, by which memory capacity can be readily increased, by making two or more of control terminals other than power source terminals, data input/output terminals and address input terminals, which are commonly used adjacently located to each other.

CONSTITUTION: Two or more terminals can be inserted into holes 12a, 12b... of a socket 12 on a printed board 11. A package 15 is inserted into holes 14a, 14b... of a socket 14. The memory capacity of a package 13 is increased. One of chip selecting terminals CS1 or CS2 of the package 13 is cut, and one of write enable terminals WE1 or WE2 is cut. Then the package 13 is mounted on the socket 12 at the time of normal operation. When the capacity is to be increased, the socket 14 is mounted on the socket 12 from the upper side of the package 13. At this time, terminals CS1 and CS2 and WE1 and WE2, which are overlapped with the package 13, are cut away from the package 15. In this constitution, the IC package, by which the memory capacity can be readily increased, is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑫ 公開特許公報(A) 昭61-120454

⑬ Int.Cl.⁴H 01 L 23/48
25/10

識別記号

庁内整理番号

7357-5F
7638-5F

⑭ 公開 昭和61年(1986)6月7日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 データ記憶用集積回路のパッケージ

⑯ 特 願 昭59-240525

⑰ 出 願 昭59(1984)11月16日

⑱ 発 明 者 大 熊 昭 利 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑲ 発 明 者 樋 桁 功 一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
 ㉑ 代 理 人 弁理士 脇 篤 夫

明 細 書

1. 発明の名称

データ記憶用集積回路のパッケージ

2. 特許請求の範囲

内部に記憶回路と、該記憶回路に格納されているデータを読み出すための各種回路が集積されているデータ記憶用集積回路に対して、共通して使用される電源供給端子、データ入出力端子、アドレス入力端子を除く他の制御端子がそれぞれ2個以上の隣接した接続端子構造とされていることを特徴とするデータ記憶用集積回路のパッケージ。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、コンピュータ、その他のデジタルIC回路を備えている電子機器に装着されるデータ記憶用集積回路のパッケージに関するものである。

〔従来の技術〕

第5図は従来から使用されている集積回路の

パッケージの一例(Random Access Memory)の平面図を示したもので、集積回路のパッケージ10に設けられているA₀～A₄はアドレス入力端子、I/O₁～I/O₄は共通入出力端子、V_{cc}は電源供給端子、GNDは接地端子、CSはチップ選択端子、WEはライトイネーブル端子である。

第6図は前記集積回路(RAM)のパッケージ10の回路構成を示すブロック図である。この図から理解できるように、データの書き込み、および読み出しは共通入出力端子I/O₁～I/O₄が使用され、チップ選択端子CSとライトイネーブル端子WEに加わる入力信号によって、入力バッファ1と出力バッファ2が交互に駆動される。

したがって、アドレス信号が供給されている状態で書き込み状態に制御されると、入力データは入力バッファ1、入力データ制御部3、共通I/O回路4を介してメモリアレー5の所定の番地に書き込まれ、読み出し状態に制御されると、

メモリアレー 5 に格納されているデータがアドレスバッファ 6, 7 から入力されているアドレス信号によって読み出され、出力バッファ 2 を介して共通入出力端子 $I/O_1 \sim I/O_4$ から出力される。

このようなデータ記憶用集積回路のパッケージ 10 は、通常、コンピュータ等の内部でプリント基板上に配置されているが、その記憶容量をさらに増量したい場合は、同様な集積回路のパッケージを追加してプリント基板に増設すればよい。この場合、集積回路のパッケージ 10 A が第 7 図に示すように、直接プリント基板 8 に半田付け等によって装着されているときは、追加する集積回路のパッケージ 10 B はプリント基板 8 の裏面に実装する方法がとられる。そして、上下 2 つの集積回路のパッケージ 10 A, 10 B のチップ選択端子 \overline{CS} とライトイネーブル端子 \overline{WE} 以外の端子は、プリント基板 8 のスルーホールを介して共通に接続すればよい。

〔発明が解決しようとする問題点〕

のパッケージのチップ選択端子とライトイネーブル端子のそれぞれの端子を例えば 1 個以上余分に増設したパッケージ構成とし、この集積回路のパッケージをプリント基板上の同一投影面上に積層して装着できるようにする。

〔作用〕

この発明のデータ記憶用集積回路のパッケージは、一般に用いられているデータ記憶用集積回路のパッケージのチップ選択端子とライトイネーブル端子のそれぞれの端子を例えば 1 個だけ余分に増設しているので、この集積回路のパッケージをプリント基板上に例えば 2 個積み重ねて装着するときは、上下の集積回路のパッケージに設けられている 2 個のチップ選択端子、およびライトイネーブル端子が相互に重ならないように、いずれか 1 個のチップ選択端子、およびライトイネーブル端子を削除してソケット、その他の手段で簡単に積層することができる。

〔実施例〕

第 1 図はこの発明の 2 段増設型のデータ記憶用

しかしながら、上述したような方法によると、1 枚のプリント基板 8 の両面に集積回路のパッケージ (10 A, 10 B) を半田付け等で接続しているため、作業性、および保守性が悪いうえ、半田付けによる接続ではオプションによってあとから記憶容量を増設するシステムがとりにくいという問題がある。

また、オプションシステムにするために、別の小さなプリント基板上に RAM 集積回路のパッケージを半田付けして各ピンをリード線で引き出し、ユニット化したものをコネクタ等を用いて本体の基板に接続する方法もあるが、部品数が多くなりコストが高くなるという問題がある。

この発明は、かかる問題点を解決するためになされたもので、記憶容量の増設を簡単に行うことができるデータ記憶用集積回路のパッケージを提供するものである。

〔問題点を解決するための手段〕

この発明のデータ記憶用集積回路のパッケージは、一般に用いられているデータ記憶用集積回路

集積回路のパッケージ 10 を示したもので、第 5 図と同様に $A_0 \sim A_9$ はアドレス入力端子、 \overline{CS}_1 , \overline{CS}_2 はそれぞれ第 1, 第 2 のチップ選択端子、 \overline{WE}_1 , \overline{WE}_2 はそれぞれ第 1, 第 2 のライトイネーブル端子、 V_{cc} は電源供給端子、 GND は接地端子、 $I/O_1 \sim I/O_4$ は共通入出力端子である。

このデータ記憶用集積回路のパッケージ (以下単にパッケージという) は、同一のチップ選択機能がある第 1, および第 2 のチップ選択端子 \overline{CS}_1 , \overline{CS}_2 と、同一のライトイネーブル機能をもつ第 1, および第 2 のライトイネーブル端子 \overline{WE}_1 , \overline{WE}_2 がパッケージ 10 に形成されているので、パッケージ 10 のピン数は増加するが、以下に示すような積層構造にして記憶容量を簡単に増加させることができる。

第 2 図はこの発明の集積回路のパッケージの増設方法を説明するための斜視図で、11 はプリント基板、12 はプリント基板 11 上に配置したこの発明の集積回路のパッケージを装着するため

の基板用ソケットで、その上面の端子挿入孔12a, 12b, 12c……には端子(ピン)が少なくとも2本以上挿入できるような構造とされている。13はプリント基板11に装着されている第1図に示した第1のパッケージである。

14は前記第1のパッケージ13の記憶容量を増加させるため第2のパッケージ15を増設する増設用ソケットで、その上面には端子挿入孔14a, 14b, 14c……が設けられている。

通常の使用状態では、プリント基板11上に配置された基板用ソケット12に、チップ選択端子 \overline{CS}_1 、または \overline{CS}_2 のいずれか一方を切り欠き、さらにライトイネーブル端子 \overline{WE}_1 、 \overline{WE}_2 (図示せず)のいずれか一方を切りとった第1のパッケージ13を装着する(図の場合は \overline{CS}_1 を切り欠いている)。

記憶容量の増設が必要になったときは、第1のパッケージ13の上方から増設用ソケット14をプリント基板11上の基板用ソケット12に装着

て、第1, 第2のパッケージ13, 15内の記憶回路にデータの書き込み、および読み出しを個別に行わせることができ、記憶容量が増加する。

第2図では専用ソケットによって集積回路のパッケージを増設する実施例を示したが、集積回路のパッケージがフラットタイプのパッケージとなっているときは第3図、および第4図に示すように接続して増設してもよい。

すなわち、第3図は半田付けによるこの発明の集積回路のパッケージの増設方法を示す概略図で、第1図に示した接続端子の構造をもつフラットタイプの第1のパッケージ20Aはプリント基板19に直接半田付けされている。このとき、チップ選択端子 \overline{CS}_1 、 \overline{CS}_2 、およびライトイネーブル端子 \overline{WE}_1 、 \overline{WE}_2 のいずれか一方を切断してプリント基板19に半田付けすると、増設用の第2のフラットタイプのパッケージ20Bを積み重ねた状態で半田付けすることができる。増設用の第2のフラットタイプのパッケージ20Bのチップ選択端子 \overline{CS}_1 、 \overline{CS}_2 、および

し、その増設用ソケット14に増設のための第2のパッケージ15を装着する。このとき、増設のための第2のパッケージ15は、最初から装着されている第1のパッケージ13と重なる方のチップ選択端子 \overline{CS}_1 、 \overline{CS}_2 、およびライトイネーブル端子 \overline{WE}_1 、 \overline{WE}_2 を切り欠いて装着する。

以上のように、増設のための第2のパッケージ15を装着すると、第1, 第2のパッケージ13, 15のチップ選択端子 \overline{CS}_1 、 \overline{CS}_2 は個別にプリント基板11の対応する回路に接続されたことになり、同様に、第1, 第2のパッケージ13, 15のライトイネーブル端子 \overline{WE}_1 、 \overline{WE}_2 も個別にプリント基板11の対応する回路に基板用ソケット12を介して接続することができる。

したがって、プリント基板11に接続された第1, 第2のパッケージ13, 15のチップ選択端子 \overline{CS}_1 、 \overline{CS}_2 とライトイネーブル端子 \overline{WE}_1 、 \overline{WE}_2 に制御信号を加えることによ

うに半田付けすることは前記実施例と同様である。

第4図は第3図と同様なフラットタイプのパッケージ20A, 20Bを増設する他の実施例を示したもので、16, 17は端子のある部分に複数の細導線が上下方向に貫通している異方導電性のゴムコネクタである。

このゴムコネクタ16, 17の上に第1, 第2のパッケージ20A, 20Bを搭載してアソカ18によりプリント基板19に圧着すると、各パッケージ20A, 20Bの端子はプリント基板19の配線導体とそれぞれ接続される。この場合もチップ選択端子 \overline{CS}_1 、 \overline{CS}_2 、およびライトイネーブル端子 \overline{WE}_1 、 \overline{WE}_2 は、それぞれ上下のパッケージ(20A, 20B)で重ならないように処理すれば、2倍の記憶容量をもつ記憶回路として使用できる。

以上の各実施例では、チップ選択端子 \overline{CS} と

ライトイネーブル端子 \overline{WE} を一系統ずつ、つまり2個増設した集積回路のパッケージを2段に重ねる記憶容量の増設方法について述べたが、チップ選択端子 \overline{CS} 、およびライトイネーブル端子 \overline{WE} をさらに増設して専用コネクタを用いれば、同一投影面上に3段以上重ねることもできる。

また、RAMメモリを実施例としたが、ROM (Read Only Memory) メモリでも同様な効果が得られる。

〔発明の効果〕

この発明のデータ記憶用集積回路のパッケージは、一般に用いられているデータ記憶用集積回路のパッケージのチップ選択端子 \overline{CS} とライトイネーブル端子 \overline{WE} のそれぞれの端子を所定の数だけパッケージに増設した構成とし、その集積回路を専用ソケットまたは他の接続手段を用いて装着しているので、記憶容量の増設を簡単に行うことができるという利点がある。また、増設用のメモリをオプションとして販売し、ユーザの便宜をはかることができ、デジタル機器のコストも低下す

るという効果がある。

4. 図面の簡単な説明

第1図はこの発明の2段増設型のデータ記憶用集積回路のパッケージを示す平面図、第2図はこの発明の集積回路のパッケージの増設方法を説明するための斜視図、第3図は半田付けによるこの発明の集積回路のパッケージの増設方法を示す概略図、第4図は異方導電性のゴムコネクタによるこの発明の集積回路のパッケージの増設方法を示す概略図、第5図は従来のデータ記憶用集積回路のパッケージを示す平面図、第6図はRAMの標準的な回路構成を示すブロック図、第7図はRAMを増設するときの従来例を示す概略図である。

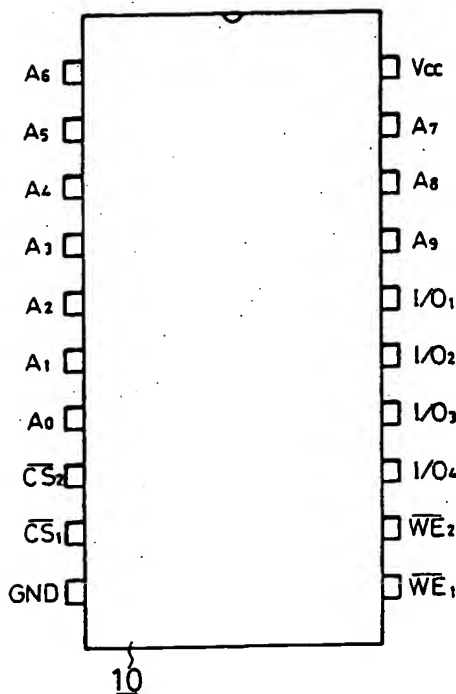
図中、11はプリント基板、12は基板用ソケット、13は第1のパッケージ、14は増設用ソケット、15は増設用の第2のパッケージを示す。

代理人 小林 将 高

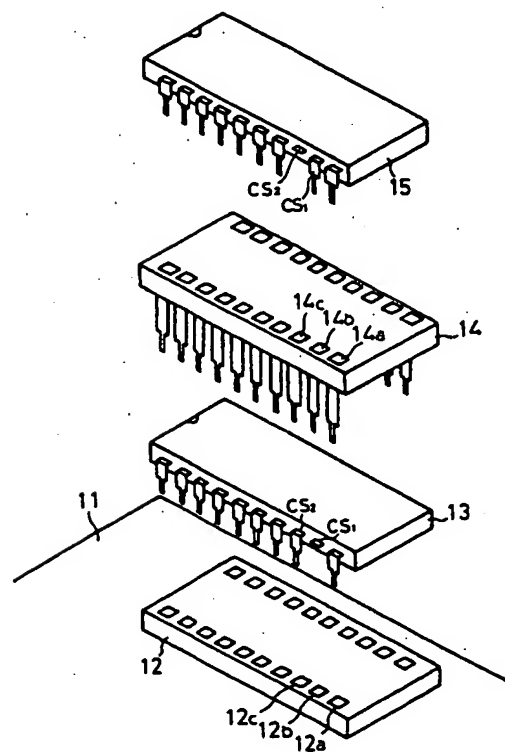


(ほか1名)

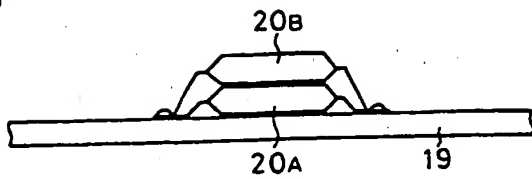
第 1 図



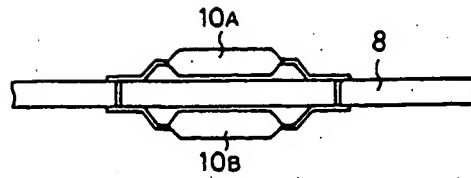
第 2 図



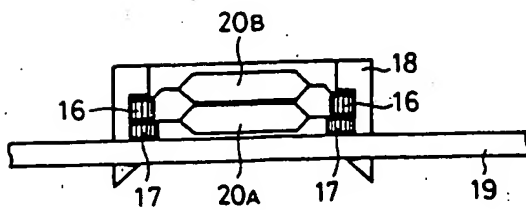
第 3 図



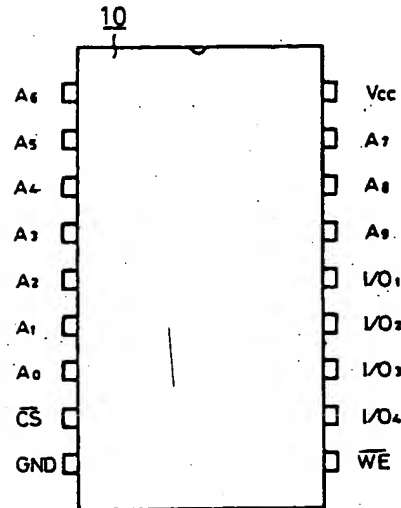
第 7 図



第 4 図



第 5 図



第 6 図

